

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-38946

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

C 0 9 G 3/36

G 0 2 F 1/133

5 5 0

C 0 2 F 1/133

5 5 0

G 0 9 G 3/20

6 2 3

C 0 9 G 3/20

6 2 3 V

審査請求 有 請求項の数30 O L (全 14 頁)

(21) 出願番号

特願平10-140706

(22) 出願日

平成10年(1998) 5月22日

(31) 優先権主張番号

1 9 9 7 - 3 2 0 9 6

(32) 優先日

1997年 7月10日

(33) 優先権主張国

韓国 (K R)

(71) 出願人

590001669

エルジー電子株式会社

大韓民国, ソウル特別市永登浦区汝矣島洞
20

(72) 発明者

河 龍 ▲王文▼

大韓民国 京畿道 安養市 東安區 飛山
洞 1102-4 冠岳アパート 208-203号

(74) 代理人

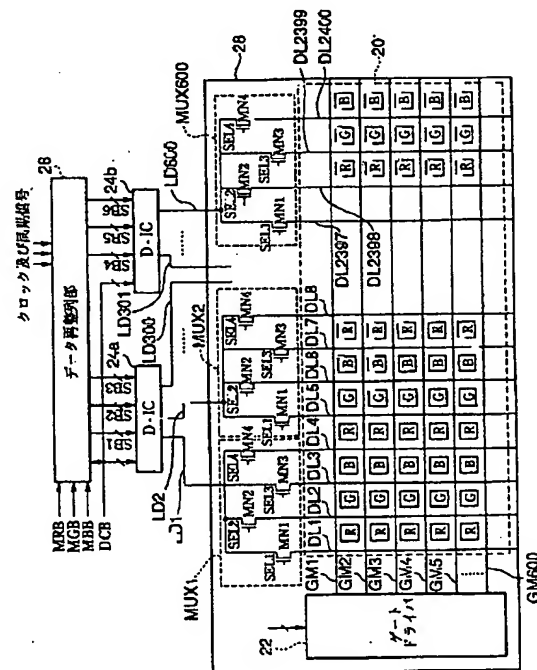
弁理士 稲葉 良幸 (外 2 名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明は、画素マトリクス of データライン等を時分割駆動する液晶表示装置に関する。

【解決手段】 この液晶表示装置は、少なくとも2個以上のマルチプレクサMUX 1~600を利用し、少なくとも2個以上のデータドライバ集積回路24a, 24bの出力信号を、画素マトリクスに含まれた多数のデータライン側DL 1~2400に伝達する。そしてこの液晶表示装置は、少なくとも2個以上のデータドライバ集積回路に供給されるビデオデータを再配列するデータ再配列部26を備える。このような構成により、液晶表示装置に必要とされるデータドライバ集積回路の数を減らし、併せて画素マトリクスとデータドライバ集積回路等の間の配線構造が簡素化される。



【特許請求の範囲】

【請求項1】 複数のデータラインと複数のゲートラインとの交差部にそれぞれ配列された複数の画素セルを含む液晶パネルと、複数のビデオ信号を供給するための第1データドライバ回路と、複数のビデオ信号を供給するための第2データドライバ回路と、前記第1及び第2データドライバ回路のいずれかから供給される前記複数のビデオ信号のいずれかをそれぞれ受信するとともに、受信したビデオ信号を前記複数のデータラインに選択的に出力する複数のマルチプレクサ回路とを備える液晶表示装置。

【請求項2】 入力ビデオデータを再配列し、その再配列された入力ビデオデータのそれぞれを、前記第1及び第2ビデオデータドライバ回路に個別に接続された第1及び第2データ経路を経由し、前記第1及び第2データドライバ回路に供給するための再配列手段を備えることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記第1経路上の再配列された入力ビデオデータは、前記第2経路上の再配列された入力ビデオデータと互いに排他的な関係であることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記第1及び第2データ経路は、前記再配列手段からの入力データが同時に供給されることを特徴とする請求項2記載の液晶表示装置。

【請求項5】 前記再配列手段は、前記入力ビデオデータを一時的に貯蔵するための少なくとも2個のメモリと、前記入力ビデオデータを、前記少なくとも2個のメモリに分配するためのデータ分配手段とを備えることを特徴とする請求項2記載の液晶表示装置。

【請求項6】 前記少なくとも2個のメモリのいずれか一方に貯蔵された前記入力ビデオデータは、前記少なくとも2個のメモリの他方に貯蔵された前記入力ビデオデータと相互に排他的な関係であることを特徴とする請求項5記載の液晶表示装置。

【請求項7】 前記少なくとも2個のメモリの記憶容量は、前記入力ビデオデータの1ラインに必要とされる記憶量に該当することを特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記少なくとも2個のメモリは、前記少なくとも2個のメモリから前記入力ビデオデータを同時に読み取る手段を備えることを特徴とする請求項5記載の液晶表示装置。

【請求項9】 前記少なくとも2個のメモリの記憶容量は、前記入力ビデオデータの2ラインに必要とされる記憶量に該当することを特徴とする請求項8記載の液晶表示装置。

【請求項10】 前記再配列手段は、前記第1及び第2データドライバ回路のそれぞれに接続された少なくとも2個の先入先出装置と、前記入力ビデオデータを、前記少なくとも2個の先入先出装置に分配するためのデータ

分配手段とを備えることを特徴とする請求項2記載の液晶表示装置。

【請求項11】 前記複数のマルチプレクサ回路は、前記液晶パネル上に備えられることを特徴とする請求項1記載の液晶表示装置。

【請求項12】 前記複数のマルチプレクサ回路と、前記第1及び第2データドライバ回路は、前記液晶パネル上に備えられることを特徴とする請求項1記載の液晶表示装置。

【請求項13】 前記第1及び第2データドライバ回路は、液晶パネルと分離された集積回路上に備えられることを特徴とする請求項1記載の液晶表示装置。

【請求項14】 前記第1及び第2データドライバ回路は、液晶パネルを有する集積回路上に備えられることを特徴とする請求項1記載の液晶表示装置。

【請求項15】 水平軸で反復される赤、緑、青の画素セルが、複数のデータラインと複数のゲートラインとの交差部のそれぞれに配列された液晶パネルと、複数のビデオ信号を供給するための第1データドライバ回路と、複数のビデオ信号を供給するための第2データドライバ回路と、前記第1及び第2データドライバ回路のいずれかから供給される前記複数のビデオ信号のいずれかをそれぞれ受信するとともに、受信したビデオ信号を前記複数のデータラインに選択的に出力する複数のマルチプレクサ回路とを備える液晶表示装置。

【請求項16】 入力赤、緑、青のビデオデータを再配列し、その再配列された入力ビデオデータのそれぞれを、前記第1及び第2ビデオデータドライバ回路に個別に接続された第1及び第2データ経路を経由し、前記第1及び第2データドライバ回路に供給するための再配列手段を備えることを特徴とする請求項15記載の液晶表示装置。

【請求項17】 前記第1経路上の再配列された入力ビデオデータは、前記第2経路上の再配列された入力ビデオデータと互いに排他的な関係であることを特徴とする請求項16記載の液晶表示装置。

【請求項18】 前記第1及び第2データ経路は、前記再配列手段からの入力データが同時に供給されることを特徴とする請求項16記載の液晶表示装置。

【請求項19】 前記再配列手段は、前記赤、緑、青の入力ビデオデータを一時的に貯蔵するための少なくとも2個のメモリと、前記ビデオデータを、前記少なくとも2個のメモリに分配するためのデータ分配手段とを備えることを特徴とする請求項16記載の液晶表示装置。

【請求項20】 前記少なくとも2個のメモリのいずれか一方に貯蔵されたデータは、前記少なくとも2個のメモリの他方に貯蔵されたデータと相互に排他的な関係であることを特徴とする請求項19記載の液晶表示装置。

【請求項21】 前記少なくとも2個のメモリの記憶容量は、前記ビデオデータの1ラインに必要とされる記憶

量に該当することを特徴とする請求項20記載の液晶表示装置。

【請求項22】 前記少なくとも2個のメモリは、前記少なくとも2個のメモリから前記ビデオデータを同時に読み取る手段を備えることを特徴とする請求項19記載の液晶表示装置。

【請求項23】 前記少なくとも2個のメモリの記憶容量は、前記ビデオデータの2ラインに必要とされる記憶容量に該当することを特徴とする請求項22記載の液晶表示装置。

【請求項24】 前記再配列手段は、前記第1及び第2データドライバ回路のそれぞれに接続された少なくとも2個の先入先出装置と、前記入力ビデオデータを、前記少なくとも2個の先入先出装置に分配するためのデータ分配手段とを備えることを特徴とする請求項15記載の液晶表示装置。

【請求項25】 前記複数のマルチプレクサ回路は、前記液晶パネル上に備えられることを特徴とする請求項15記載の液晶表示装置。

【請求項26】 前記複数のマルチプレクサ回路と、前記第1及び第2データドライバ回路は、前記液晶パネル上に備えられることを特徴とする請求項15記載の液晶表示装置。

【請求項27】 前記第1及び第2データドライバ回路は、液晶パネルと分離された集積回路上に備えられることを特徴とする請求項15記載の液晶表示装置。

【請求項28】 前記第1及び第2データドライバ回路は、液晶パネルを有する集積回路上に備えられることを特徴とする請求項15記載の液晶表示装置。

【請求項29】 画素セルが n 個のデータラインと m 個のゲートライン（ただし、 n 及び m は整数）の複数の交差部のそれぞれに配列された液晶パネルと、データ信号を前記 n 個のデータラインの中の p 個（ただし、 p は n より小さい整数）にそれぞれ出力するための複数のマルチプレキシング手段と、前記複数のマルチプレキシング手段を時分割的に駆動するための q 個（ただし、 q は整数）のデータドライバ回路を備えることを特徴とする液晶表示装置。

【請求項30】 前記データドライバ集積回路に供給されるビデオデータを再配列するための再配列手段を備えることを特徴とする請求項29記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（Thin Film Transistor;以下“TFT”という）等をスイッチマトリクス（Switch Matrix）に利用する液晶表示装置に関するもので、特にデジタルビデオデータにより駆動されることに適合した液晶表示装置に関する。

【0002】

【従来の技術】最近、映像媒体は視聴者に高解像度の画

像を提供するための方案として、既存のアナログ映像信号の代わりに、情報の圧縮が容易なデジタル映像信号で転送する方式へ転換されつつある趨勢である。それにより、映像表示装置の種類の液晶表示パネルも、既存のアナログ映像信号の代わりにデジタル映像信号により駆動されることができるよう開発されている。

【0003】このような開発努力により出現されるようになったデジタル方式の液晶表示装置は図1の図示のとおり、液晶表示パネル（10）のゲートライン等（GL）を駆動するためのゲートドライバ（Gate Driver、12）と、液晶表示パネル（10）のデータライン等（DL）を一定な個数ずつ分割駆動するための多数のデータドライバ集積回路等（Data Driver Integrated Circuit;以下“D-IC”という）（14）を備える。液晶表示パネル（10）には、ゲートライン等（GL）とデータライン等（DL）の交差部にTFT等（図示されていない）が設置され、共にこのTFT等のそれぞれには液晶セル等が接続されている。ゲートドライバ（12）は、ゲート制御信号によりフレーム期間毎に水平走査期間づつゲートライン等（GL）を順次的に駆動する。すなわち、ゲートドライバ（12）は、液晶表示パネル（10）に含まれたTFT等を1ライン分づつ順次的に駆動する。一方、D-IC等（14）は、データ制御信号により水平走査期間毎にビデオデータをアナログ信号の形態に変換し、その変換されたアナログビデオ信号をデータライン等（DL）に供給する。これを詳細に説明すると、D-IC等（14）のそれぞれは、自分の出力ライン数に該当するビデオデータを入力して、その入力されたビデオデータ等をアナログビデオ信号等に変換する。そして、D-IC等（14）のそれぞれは、アナログビデオ信号等を、自分の出力ライン等に接続されたデータライン等（DL）に供給するようになる。そうすると、1ライン分のTFT等にそれぞれ接続された1ライン分の液晶セル等は、それぞれのビデオ信号の電圧レベルによって光透過率を調節するようになる。

【0004】このような構成のデジタル液晶表示装置は、D-IC等（14）が自分の出力端子に該当する数のデータライン等のみを駆動することができるので、多数のD-IC等（14）が必要とされ、共に回路構成及び嵩が大きくならざるをえなかった状況であった。

【0005】このようなデジタル液晶表示装置の短所を解消するために、1ラインのデータライン等を時分割駆動する時分割方式の液晶表示装置が提案された。この時分割方式の液晶表示装置は、タナカ（Tanaka）らにより、1993年度IEEEの刊行物を通し、“An LCD Addressed by a-Si:H TFTs with Peripheral poly-Si TFT Circuits”という題目で発表されてから、更にカト（Kato）らにより、“Euro Display '96”という論文集において、“Ar+La

ser Annealed Poly-Si TFTs for Large Area LCDs”という題目で発表された。この論文等によると、時分割方式の液晶表示装置は、ポリクリスタルシリコン(Polycrystalline Si)とアモルファスシリコン(Amorphous si)の二重層を有するようにTFT等を形成し、TFT等のオン/オフ速度を向上させた。併せて、時分割方式の液晶表示装置では、D-I C等のそれぞれの出力端子等とデータライン等との間にマルチプレクサを介在させ、データライン等が時分割的に駆動される。それにより、時分割方式の液晶表示装置は、D-I Cの所要量を少なくとも1/2以下に減少させることができた。

【0006】このような時分割方式の液晶表示装置では、マルチプレクサが遠く離れているデータライン等を切替するので、1つのマルチプレクサにより駆動されるデータライン等間の距離が大きくなる。それにより、液晶表示パネル上の配線構造が複雑となることはいうまでもなく、ビデオ信号が歪曲されるおそれがある。併せて、D-I C等は1ライン分のビデオデータを順次的にサンプリングしなければならないので、1ライン分のビデオデータ数に該当する周波数のサンプリングクロックがD-I C等に供給されなければならない。

【0007】

【発明が解決しようとする課題】従って、本発明の目的は回路構成と配線構造とを簡素化することができる液晶表示装置を提供することにある。

【0008】本発明の他の目的は、ビデオデータのサンプリング周期を遅くすることができる液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】この発明に係る液晶表示装置は、複数のデータラインと複数のゲートラインとの交差部にそれぞれ配列された複数の画素セルを含む液晶パネルと、複数のビデオ信号を供給するための第1データドライバ回路と、複数のビデオ信号を供給するための第2データドライバ回路と、前記第1及び第2データドライバ回路のいずれかから供給される前記複数のビデオ信号のいずれかをそれぞれ受信するとともに、受信したビデオ信号を前記複数のデータラインに選択的に出力する複数のマルチプレクサ回路とを備える。

【0010】この発明に係る液晶表示装置は、水平軸で反復される赤、緑、青の画素セルが、複数のデータラインと複数のゲートラインとの交差部のそれぞれに配列された液晶パネルと、複数のビデオ信号を供給するための第1データドライバ回路と、複数のビデオ信号を供給するための第2データドライバ回路と、前記第1及び第2データドライバ回路のいずれかから供給される前記複数のビデオ信号のいずれかをそれぞれ受信するとともに、受信したビデオ信号を前記複数のデータラインに選択的に出力する複数のマルチプレクサ回路とを備える。

【0011】この発明に係る液晶表示装置は、画素セルがn個のデータラインとm個のゲートライン(ただし、n及びmは整数)の複数の交差部のそれぞれに配列された液晶パネルと、データ信号を前記n個のデータラインの中のp個(ただし、pはnより小さい整数)にそれぞれ出力するための複数のマルチプレキシング手段と、前記複数のマルチプレキシング手段を時分割的に駆動するためのq個(ただし、qは整数)のデータドライバ回路を備える。

【0012】本発明による液晶表示装置は、1ライン分のビデオデータを再整列し、液晶パネル上の1ライン分のTFTの中の隣接したTFTが順次的に駆動されるようにすると共に、同時に駆動されるTFTを分散させることができる。それにより、本発明の液晶表示装置では、D-I Cと画素マトリクスとの間の配線構造が簡素化される。また、本発明では、D-I Cが同時にビデオデータをサンプリングするようにすることにより、D-I Cは周波数が低いサンプリングクロックの周波数を使用することができる。

【0013】

【発明の実施の形態】前記の目的以外に、本発明の他の目的及び利点等は添付図面を参照してから、好ましい実施の形態に関する詳細な説明を通して明らかになる。

【0014】以下、本発明の好ましい実施の形態を、添付の図2乃至図7を参照して詳細に説明する。

【0015】図2を参照すると、画素マトリクス(20)のゲートライン等(GM1乃至GM600)を駆動するためのゲートドライバ(22)と、画素マトリクス(20)のデータライン等(DL1乃至DL2400)を駆動するためのD-I C等(24a、24b)を備える、本発明の実施の形態による液晶表示装置が図示されている。この画素マトリクス(20)は、ゲートライン等(GM1乃至GM600)とデータライン等(DL1乃至DL2400)との交差点等々にそれぞれ配置された600×2400個の画像素子等を含んで、600×800個の画素を有する画像を表示するようになる。画像素子等はそれぞれ1つのTFTと1つの液晶セルとから構成され、この画像素子に含まれたTFTのゲート電極とデータ電極とは、ゲートライン(GM)とデータライン(DL)にそれぞれ接続される。2400個のデータライン等(DL1乃至DL2400)は赤色(R)用の画像素子等、緑色(G)用の画像素子等、そして青色(B)用の画像素子等を駆動するために800個ずつ割り当てられる。これ等の赤色(R)用、緑色(G)用及び青色(B)用のデータライン等は、交替に配列される。ゲートドライバ(22)は、ゲート制御信号等によりフレーム期間毎に水平走査期間ずつ順次的にゲートライン等(GL)を駆動する。このゲートドライバ(22)により、画素マトリクス(20)に含まれたTFT等は、2400個ずつ順次的にターンオン(Turn-on)さ

れ、2400個のデータライン(DL1乃至DL2400)を2400個の液晶セル等にそれぞれ接続させる。一方、D-IC等(24a、24b)のそれぞれは、水平走査期間毎に多数のビデオデータをサンプリングすると共に、そのサンプリングされた多数のビデオデータをアナログビデオ信号等に変換する。そして、D-IC等(24a、24b)のそれぞれは、ビデオ信号等をデータライン等(DL)に供給する。そうすると、ターンオンされたTFT等に接続された液晶セル等は、それぞれデータライン(DL)からのビデオ信号の電圧レベルによって光透過率を調節するようになる。

【0016】液晶表示装置は、D-IC等(24a、24b)の出力端子等(LD1乃至LD600)にそれぞれ接続されたマルチプレクサ等(MUX1乃至MUX600)を追加で備える。これ等のマルチプレクサ(MUX1乃至MUX600)は、それぞれ互いに隣接した4個のデータライン等(DLi乃至DLi+3)に接続される。そしてこれ等のマルチプレクサ等(MUX1乃至MUX600)は、それぞれ第1乃至第4選択信号(SEL1乃至SEL4)により、D-IC(24)の出力端子(LD)からのビデオ信号を4個のデータライン等(DLi乃至DLi+3)に順次的に供給する。そのために、このマルチプレクサ等(MUX1乃至MUX600)のそれぞれは、D-IC(24)の出力端子(LD)と4個のデータライン等(DLi乃至DLi+3)の間にそれぞれ接続された4個のMOSTランジスタ(MN1乃至MN4)を備える。マルチプレクサ(MUX)に含まれた4個のMOSTランジスタ等(MN1乃至MN4)は、第1乃至第4選択信号(SEL1乃至SEL4)を1個づつ自らのゲート電極側にそれぞれ入力する。第1乃至第4選択信号(SEL1乃至SEL4)は、水平同期信号と同一な周波数を有する。そして、第1乃至第4選択信号(SEL1乃至SEL4)は、互いに順次的で反復的に進行されるイネーブル区間、すなわちハイ論理区間を有する。それにより、マルチプレクサ(MUX)に含まれた4個のMOSTランジスタ等(MN1乃至MN4)は、水平走査期間毎に順次的にターンオンされ、4個のデータライン(DLi乃至DLi+3)が順次的にD-IC(24)の出力端子(LD)に接続されるようにする。この4個のMOSTランジスタ等(MN1乃至MN4)は、スイッチ機能を有する回路素子等に代置されることもできる。そして、マルチプレクサ等(MUX1乃至MUX600)は、画素マトリクス(20)及びゲートドライバ(22)と共に同一なガラス基板(28)上に形成される。ここにおいて、マルチプレクサ等(MUX1乃至MUX600)は、画素マトリクス(20)の上側(すなわち、ガラス基板(28)の上端)に、そしてゲートドライバ(22)は画素マトリクス(20)の端(すなわち、ガラス基板(28)の端)にそれぞれ位置する。

【0017】また、液晶表示装置にはD-IC等(24a、24b)に供給されるビデオデータを再整列させ、その再整列されたビデオデータをD-IC等(24a、24b)に供給するデータ再整列部(26)が設置されている。このデータ再整列部(26)は、それぞれ赤色用バス(MRB)、緑色用バス(MGB)及び青色用バス(MBB)を経由して入力される赤色データ(R)ストリーム、緑色データ(G)ストリーム及び青色データ(B)ストリームを、D-IC等(24)の数に該当するグループ(例えば、2個のデータグループ)に分離し、それぞれのデータグループをマルチプレクサ(MUX)の出力ライン数(例えば、4個)に該当するセクション等(例えば、4個のセクション)に再整列する。そして、データ再整列部(26)は、再整列されたビデオデータを、他のバス等を経由しD-IC等(24a、24b)に供給する。実際に、第1D-IC(24a)にはビデオデータが第1乃至第3補助バス(SB1、SB2、SB3)を経由し、3個のシンボルづつ供給され、そして第2D-IC(24b)には、ビデオデータが第4乃至第6補助バス(SB4、SB5、SB6)を経由し、3個のシンボルづつ供給される。また、データ再整列部(26)は、D-IC等(24a、24b)が同時にビデオデータを入力するか、または交替にビデオデータを入力するように設計されることができる。最後に、データ再整列部(26)とD-IC等(24a、24b)は、データ制御バス(DCB)から入力されるサンプリングクロックを含むデータ制御信号等により駆動される。

【0018】図3は、データ再整列部(26)からビデオデータが第1乃至第3補助バス(SB1乃至SB3)と第4乃至第6補助バス(SB4乃至SB6)に交替に出力される場合、データ再整列部(26)、D-IC等(24)及びマルチプレクサ等(MUX1乃至MUX600)の動作波形を図示する。

【0019】図3において、第1乃至第3補助バス等(SB1乃至SB3)と第4乃至第6補助バス等(SB4乃至SB6)には、選択信号等(SEL1乃至SEL4)がイネーブルされる期間、すなわちハイ論理を維持する期間毎に、交替に再整列されたビデオデータストリームが供給される。これを詳細に説明すると、第1選択信号(SEL1)がイネーブルされた時点から第1補助バス(SB1)に“R1、R5、R9…R397”の再整列されたビデオデータが、第2補助バス(SB2)には“G2、G6、G10…G398”の再整列されたビデオデータが、そして第3補助バス(SB3)には“B3、B7、B11…B399”の再整列されたビデオデータがそれぞれ供給される。第1乃至第3補助バス(SB1乃至SB3)に再整列されたビデオデータが供給されたから、残りの第1選択信号(SEL1)のイネーブル期間の間、第4補助バス(SB4)に“R401、R

405、R409…R797”の再整列されたビデオデータが、第5補助バス(SB5)には“G402、G406、G410…G798”の再整列されたビデオデータ、そして第6補助バス(SB6)には“B403、B407、B411…B799”の再整列されたビデオデータが供給されるようになる。

【0020】このような形態に、第2乃至第4選択信号(SEL2乃至SEL4)が順次的にイネーブルされることにより、第1乃至第6補助バス(SB1乃至SB6)に再整列されたビデオデータが一定の間隔を置いて反復的に供給される。この時、第1補助バス(SB1)には“G1、G5、G9…G397”、“B1、B5、B9…B397”及び“R2、R6、R10…R398”の再整列されたビデオデータが、一定の間隔を置いて順次的に供給される。併せて、第2補助バス(SB2)には“B2、B6、B10…B398”、“R3、R7、R11…R399”及び“G3、G7、G11…G399”の再整列されたビデオデータが、そして第3補助バス(SB3)には“R4、R8、R12…R400”、“G4、G8、G12…G400”及び“B4、B8、B12…B400”の再整列されたビデオデータがそれぞれ供給される。また、第1乃至第3補助バス等(SB1乃至SB3)と時間的に交替になるように再整列されたビデオデータを入力する第4乃至第6補助バス等(SB4乃至SB6)には、“G401、G405、G409…G797”、“B401、B405、B409…B797”及び“R402、R406、R410…R798”の再整列されたビデオデータ、“B402、B406、B410…B798”、“R403、R407、R411…R799”及び“G403、G407、G411…G799”の再整列されたビデオデータ、そして“R404、R408、R412…R800”、“G404、G408、G412…G800”及び“B404、B408、B412…B800”の再整列されたビデオデータがそれぞれ供給される。

【0021】次に、D-IC等(24a、24b)等の600個の出力ライン(LD1乃至LD600)のそれぞれには、選択信号等(SEL1乃至SEL4)が順次的にイネーブル、すなわちハイ論理を有することにより、4個のビデオ信号が順次的に出力される。例えば、D-IC(24a)の第1出力端子(LD1)に“R1、G1、B1及びR2”のビデオ信号が順次的に出力され、そしてD-IC(24a)の第2出力端子(LD2)に“G2、B2、R3及びG3”のビデオ信号が順次的に出力される。このような形態に、D-IC(24a)の第3乃至第6出力端子等(LD3乃至LD6)のそれぞれにも“B3、R4、G4及びB4”のビデオ信号等と、“R5、G5、B5及びR6”のビデオ信号等と、“G6、B6、R7及びG7”のビデオ信号等と、そして“B7、R8、G8及びB8”のビデオ信号等と

が供給される。

【0022】このD-IC等(24a、24b)の600個の出力端子等(LD1乃至LD600)に4回にかけて出力される2400個のビデオ信号等は、第1乃至第4選択信号(SEL1乃至SEL4)によって切換動作を遂行する600個のマルチプレクサ(MUX1乃至MUX600)によって、2400個のデータライン等(DL1乃至DL2400)にそれぞれ印加されるようになる。その結果、画素マトリクス(20)を駆動するために使用されるD-IC等の数が大幅(例えば8個から2個に)に減少されるようになる。

【0023】図4は、データ再整列部(26)から再整列されたビデオデータが、第1乃至第3補助バス(SB1乃至SB3)と第4乃至第6補助バス(SB4乃至SB6)に同時に出力される場合、データ再整列部(26)、D-IC等(24)及びマルチプレクサ等(MUX1乃至MUX600)の動作波形を図示する。

【0024】図4において、第1乃至第3補助バス等(SB1乃至SB3)と第4乃至第6補助バス等(SB4乃至SB6)のそれぞれに供給される再整列されたビデオデータは、選択信号等(SEL1乃至SEL4)が順次的にイネーブルされることにより、4回にかけて変更される。これを詳細に説明すると、第1選択信号(SEL1)がイネーブルされた時点から第4選択信号(SEL4)がイネーブルされる時点までの期間の間、第1補助バス(SB1)に“R1、R5、R9…R397”の再整列されたビデオデータから、“G1、G5、G9…G397”、“B1、B5、B9…B397”及び“R2、R6、R10…R398”の再整列されたビデオデータが順次的に供給される。そして第2乃至第6補助バス(SB2乃至SB6)のそれぞれにも、“G2、G6、G10…G398”、“B2、B6、B10…B398”、“R3、R7、R11…R399”及び“G3、G7、G11…G399”の再整列されたビデオデータと、“B3、B7、B11…B399”、“R4、R8、R12…R400”、“G4、G8、G12…G400”及び“B4、B8、B12…B400”の再整列されたビデオデータと、“R401、R405、R409…R797”、“G401、G405、G409…G797”、“B401、B405、B409…B797”及び“R402、R406、R410…R798”の再整列されたビデオデータと、“G402、G406、G410…G798”、“B402、B406、B410…B798”、“R403、R407、R411…R799”及び“G403、G407、G411…G799”の再整列されたビデオデータと、そして“B403、B407、B411…B799”、“R404、R408、R412…R800”、“G404、G408、G412…G800”及び“B404、B408、B412…B800”の再整列されたビデオデータがそ

れぞれ供給される。

【0025】次に、D-IC等(24a、24b)の600個の出力ライン(LD1乃至LD600)のそれぞれには、選択信号等(SEL1乃至SEL4)が順次的にイネーブル、すなわちハイ論理を有することにより、4個のビデオ信号が順次的に出力される。例えば、D-IC(24a)の第1出力端子(LD1)に“R1、G1、B1及びR2”のビデオ信号が順次的に出力され、そしてD-IC(24a)の第2出力端子(LD2)に“G2、B2、R3及びG3”のビデオ信号が順次的に出力される。このような形態に、D-IC(24a)の第3乃至第6出力端子等(LD3乃至LD6)のそれぞれにも、“B3、R4、G4及びB4”のビデオ信号等と、“R5、G5、B5及びR6”のビデオ信号等と、“G6、B6、R7及びG7”のビデオ信号等と、そして“B7、R8、G8及びB8”のビデオ信号等とが供給される。

【0026】このD-IC等(24a、24b)の600個の出力端子等(LD1乃至LD600)に4回にかけて出力される2400個のビデオ信号等は、第1乃至第4選択信号(SEL1乃至SEL4)によって切換動作を遂行する600個のマルチプレクサ(MUX1乃至MUX600)によって、2400個のデータライン等(DL1乃至DL2400)にそれぞれ印加されるようになる。その結果、画素マトリクス(20)を駆動するために使用されるD-IC等の数が大幅(例えば8個から2個に)に減少されるようになる。併せて、ビデオデータがD-IC等(24a、24b)に同時に供給されることにより、ビデオデータをサンプリングするためにD-IC等(24a、24b)に供給されるサンプリングクロックの周波数が低くなる。

【0027】図5は、図2に図示されたデータ再整列部(26)の一実施の形態を詳細に図示する。

【0028】図5において、データ再整列部(26)は、赤色用、緑色用及び青色用バス等(MRB、MGB、MBB)のそれぞれに接続された第1乃至第3データマルチプレクサ(30、32、34)と、この第1乃至第3データマルチプレクサ等(30、32、34)のそれぞれに4個ずつ並列接続された第1乃至第12シリアル入力シリアル出力(First Input First Output; 以下“FIFO”という)(FR1乃至FR12)を備える。第1乃至第3データマルチプレクサ等(30、32、34)は、第1分割イネーブル信号(ENa)がハイ論理を維持する間、すなわち水平走査期間の半分に該当する期間の間に駆動される。そして第1データマルチプレクサ(30)は、赤色用バス(MRB)からの赤色データストリーム(R1乃至R800)の中の半分に該当する400個の赤色データ(R1乃至R400)を順次的で反復的に変化する2ビットの選択信号(A、B)の論理値によって、第1乃至第4FIFO(FR1乃至

FR4)に順次的で反復的に貯蔵する。その結果、第1乃至第4FIFO(FR1乃至FR4)には“R1、R5、R9…R397”、“R2、R6、R10…R398”、“R3、R7、R11…R399”及び“R4、R8、R12…R400”の赤色データがそれぞれ貯蔵される。第1データマルチプレクサ(30)と同様に、第2データマルチプレクサ(32)は、緑色用バス(MGB)からの緑色データストリーム(G1乃至G800)の中の半分に該当する400個の緑色データ(G1乃至G400)を、前記2ビットの選択信号(A、B)の論理値によって、第5乃至第8FIFO(FR5乃至FR8)に順次的で反復的に貯蔵する。従って、第5乃至第8FIFO(FR5乃至FR8)には“G1、G5、G9…G397”、“G2、G6、G10…G398”、“G3、G7、G11…G399”及び“G4、G8、G12…G400”の緑色データがそれぞれ貯蔵される。また、第3データマルチプレクサ(34)も、第1及び第2データマルチプレクサ(30、32)と同様に、青色用バス(MBB)からの青色データストリーム(B1乃至B800)の中の半分に該当する400個の青色データ(B1乃至B400)を、前記2ビットの選択信号(A、B)の論理値によって、第9乃至第12FIFO(FR9乃至FR12)に順次的で反復的に貯蔵する。それによって、第9乃至第12FIFO(FR9乃至FR12)には“B1、B5、B9…B397”、“B2、B6、B10…B398”、“B3、B7、B11…B399”及び“B4、B8、B12…B400”の青色データがそれぞれ貯蔵される。

【0029】そしてデータ再整列部(26)は、赤色用、緑色用及び青色用バス等(MRB、MGB、MBB)にそれぞれ接続されると共に、第1乃至第3データマルチプレクサ(30、32、34)とそれぞれ並列接続された、第4乃至第6データマルチプレクサ(36、38、40)を追加で備える。この第4乃至第6データマルチプレクサ等(36、38、40)のそれぞれに4個ずつのFIFO等、すなわち第13乃至第24FIFO(FR13乃至FR24)が接続されている。第4乃至第6データマルチプレクサ(36、38、40)は、第2分割イネーブル信号(ENb)がハイ論理を維持する間、すなわち第1乃至第3データマルチプレクサ(30、32、34)が駆動されない水平走査期間の後半部に該当する期間の間に駆動される。そして、第4データマルチプレクサ(36)は、赤色用バス(MRB)からの赤色データストリーム(R1乃至R800)の中の半分に該当する400個の赤色データ(R401乃至R800)を、前記2ビットの選択信号(A、B)の論理値によって、第13乃至第16FIFO(FR13乃至FR16)に順次的で反復的に貯蔵する。その結果、第13乃至第16FIFO(FR13乃至FR16)には、“R401、R405、R409…R797”、“R4

02、R406、R410…R798”、“R403、R407、R411…R799”及び“R404、R408、R412…R800”の赤色データがそれぞれ貯蔵される。そして第5データマルチプレクサ(38)は、緑色用バス(MGB)からの緑色データストリーム(G1乃至G800)の中の半分に該当する400個の緑色データ(G401乃至G800)を、前記2ビットの選択信号(A、B)の論理値によって、第17乃至第20FIFO(FR17乃至FR20)に順次的で反復的に貯蔵する。従って、第17乃至第20FIFO(FR17乃至FR20)には、“G401、G405、G409…G797”、“G402、G406、G410…G798”、“G403、G407、G411…G799”及び“G404、G408、G412…G800”の緑色データがそれぞれ貯蔵される。また、第6データマルチプレクサ(40)も、青色用バス(MBB)からの青色データストリーム(B1乃至B800)の中の半分に該当する400個の青色データ(B401乃至B800)を、前記2ビットの選択信号(A、B)の論理値によって、第21乃至第24FIFO(FR21乃至FR24)に順次的で反復的に貯蔵する。それによって、第21乃至第24FIFO(FR21乃至FR24)には、“B401、B405、B409…B797”、“B402、B406、B410…B798”、“B403、B407、B411…B799”及び“B404、B408、B412…B800”の青色データがそれぞれ貯蔵される。

【0030】また、データ再整列部(26)は第1乃至第12FIFO(FR1乃至FR12)からのビデオデータを入力する第1ディマルチプレクサ(42)と、第13乃至第24FIFO(FR13乃至FR24)からのビデオデータを入力する第2ディマルチプレクサ(44)とを備える。これ等の第1及び第2ディマルチプレクサ(42、44)は、図3における第1乃至第4選択信号(SEL1乃至SEL4)のそれぞれがイネーブルされる期間毎に、1回ずつ交替に駆動される。例えば、前記の第1選択信号(SEL1)のイネーブル期間の前半部では第1ディマルチプレクサ(42)が、そして前記の第1選択信号(SEL1)のイネーブル期間の後半部では第2ディマルチプレクサ(44)が駆動される。従って、第1及び第2ディマルチプレクサ(42、44)は、第1乃至第4選択信号(SEL1乃至SEL4)が順次的にイネーブルされることにより交替に4回ずつ駆動され、1水平ラインのビデオデータを第1乃至第6補助バス(SB1乃至SB6)を経由して出力するようになる。そして第1及び第2ディマルチプレクサ(42、44)は、駆動される時毎に、それぞれ12個のFIFO(FR1乃至FR12、またはFR13乃至FR24)の中の3個のFIFO等に貯蔵されたビデオデータを選択し、3個の補助バス(SB1乃至SB3、

またはSB4乃至SB6)にそれぞれ出力する。

【0031】これを詳細に説明すると、第1ディマルチプレクサ(42)は、最初に駆動される時に第1FIFO(FR1)からの“R1、R5、R9…R397”の赤色データと、第6FIFO(FR6)からの“G2、G6、G10…G398”の緑色データと、第11FIFO(FR11)からの“B3、B7、B11…B399”の青色データを第1乃至第3補助バス(SB1乃至SB3)にそれぞれ供給し、2番目に駆動される時は、第5FIFO(FR5)からの“G1、G5、G9…G397”の緑色データと、第10FIFO(FR10)からの“B2、B6、B10…B398”の青色データと、第4FIFO(FR4)からの“R4、R8、R12…R400”の赤色データとを、第1乃至第3補助バス(SB1乃至SB3)にそれぞれ供給する。そして、第1ディマルチプレクサ(42)は3番目に駆動される時、第9FIFO(FR9)からの“B1、B5、B9…B397”の青色データと、第2FIFO(FR2)からの“R3、R7、R11…R399”の赤色データと、第8FIFO(FR8)からの“G4、G8、G12…G400”の緑色データとを、第1乃至第3補助バス(SB1乃至SB3)にそれぞれ供給し、4番目に駆動される時は、第2FIFO(FR2)からの“R2、R6、R10…R398”の赤色データと、第7FIFO(FR7)からの“G3、G7、G11…G399”の緑色データと、第12FIFO(FR12)からの“B4、B8、B12…B400”の青色データとを、第1乃至第3補助バス(SB1乃至SB3)にそれぞれ供給する。一方、第2ディマルチプレクサ(44)は、最初に駆動される時に第13FIFO(FR13)からの“R401、R405、R409…R797”の赤色データと、第18FIFO(FR18)からの“G402、G406、G410…G798”の緑色データと、第23FIFO(FR23)からの“B403、B407、B411…B799”の青色データとを、第4乃至第6補助バス(SB4乃至SB6)にそれぞれ供給し、2番目に駆動される時は、第17FIFO(FR17)からの“G401、G405、G409…G797”の緑色データと、第22FIFO(FR22)からの“B402、B406、B410…B798”の青色データと、第16FIFO(FR16)からの“R404、R408、R412…R800”の赤色データとを、第4乃至第6補助バス(SB4乃至SB6)にそれぞれ供給する。また、第2ディマルチプレクサ(44)は3番目に駆動される時、第21FIFO(FR21)からの“B401、B405、B409…B797”の青色データと、第14FIFO(FR14)からの“R403、R407、R411…R799”の赤色データと、第20FIFO(FR20)からの“G404、G408、G412…G800”の緑色データとを、第4乃至

第6補助バス(SB4乃至SB6)にそれぞれ供給し、4番目に駆動される時は、第14FIFO(FR14)からの“R402、R406、R410…R798”の赤色データと、第19FIFO(FR19)からの“G403、G407、G411…G797”の緑色データと、第24FIFO(FR24)からの“B404、B408、B412…B800”の青色データとを、第4乃至第6補助バス(SB4乃至SB6)にそれぞれ供給する。

【0032】ここにおいて、第1乃至第3データマルチプレクサ(30、32、34)は、第1乃至第12FIFO(FR1乃至FR12)と、第1ディマルチプレクサ(42)と共に、1ライン分のビデオデータストリームの一部を再整列する第1グループ再整列手段を構成し、第4乃至第6データマルチプレクサ(36、38、40)は、第13乃至第24FIFO(FR13乃至FR24)と第2ディマルチプレクサ(44)と共に、1ライン分のビデオデータストリームの一部を再整列する第2グループ再整列手段を構成する。このグループ再整列手段の数は、図2に図示されたD-IC(24)の個数ほど必要とされる。そして、データマルチプレクサ等(30乃至40)のそれぞれに接続されるFIFOの数は、図2に図示されたマルチプレクサ等(MUX)の出力ラインの数ほど必要とされる。また、FIFO等(FR1乃至FR24)の総貯蔵容量は、少なくとも1ライン分以上のビデオデータを貯蔵することができれば問題ないが、好ましくは2ライン分のビデオデータを貯蔵することができるように設定されなければならない。また、FIFO等(FR1乃至FR24)の総貯蔵容量が2ライン分のビデオデータを貯蔵するように設定された場合に、第1及び第2ディマルチプレクサ(42、44)が同時に駆動されることができる。それによって、データサンプリングを制御するために、図2に図示されたD-IC等(24)に供給されるサンプリングクロックの周波数を低めることができるようになる。

【0033】図6は、図2に図示されたデータ再整列部(26)の他の実施の形態を詳細に図示する。

【0034】図6において、データ再整列部(26)は、赤色用、緑色用及び青色用バス等(MRB、MGB、MBB)からのビデオデータを第1乃至第12メモリ(MR1乃至MR12)にマルチプレキシングするための、第1乃至第9制御用スイッチ等(SW1乃至SW9)を備える。第1乃至第12メモリ(MR1乃至MR12)のそれぞれは、1ライン分の色データの中の半分該当する色データを貯蔵することができる貯蔵容量を有する。

【0035】第1制御用スイッチ(SW1)は、第1切換制御信号(ENa)の論理状態によって、赤色用バス(MRB)からの赤色データストリームを、第4制御用スイッチ(SW4)及び第7制御用スイッチ(SW7)

の中のいずれか一侧に供給する。第1切換制御信号(ENa)は、水平走査期間の前半部に該当する期間にはハイ論理を、そして残りの後半部に該当する期間にはロー論理を維持する。この第1切換制御信号(ENa)により第1制御用スイッチSW1は、1ライン分の赤色データ(R1乃至R800)の中の前半400個の赤色データ(R1乃至R400)は、第4制御用スイッチ(SW4)側に、そして残りの後半400個の赤色データ(R401乃至R800)は、第7制御用スイッチ(SW7)側にそれぞれ転送するようになる。それと同様に、第2制御用スイッチ(SW2)は、前記第1切換制御信号(ENa)により緑色用バス(MGB)からの1ライン分の緑色データ(G1乃至G800)の中の前半400個の緑色データ(G1乃至G400)を第5制御用スイッチ(SW5)側に、そして残りの後半400個の緑色データ(G401乃至G800)を第8制御用スイッチ(SW8)側にそれぞれ転送する。第1及び第2制御用スイッチ(SW1、SW2)と同様に、第3制御用スイッチ(SW3)も、前記の第1切換制御信号(ENa)により、青色用バス(MBB)からの1ライン分の青色データ(B1乃至B800)の中の前半400個の青色データ(B1乃至B400)を第6制御用スイッチ(SW6)に、そして残りの後半400個の青色データ(B401乃至B800)を第9制御用スイッチ(SW9)にそれぞれ供給する。

【0036】第4乃至第9制御用スイッチ(SW4乃至SW9)は、水平同期パルス(HP)の論理状態によって、それぞれの色データを奇数番目または偶数番目のメモリの中のいずれか一侧のメモリ側に伝達する。この水平同期パルス(HP)は、水平同期信号の周期毎にハイ論理からロー論理に、そしてロー論理からハイ論理に変化される。その結果、第4乃至第9制御用スイッチ(SW4乃至SW9)は、それぞれ奇数番目の水平同期期間には色データを奇数番目のメモリ側に伝達し、偶数番目の水平同期期間には色データを偶数番目のメモリ側に伝達する。これを詳細に説明すると、奇数番目の水平同期期間において、第4制御用スイッチ(SW4)は“R1乃至R400”の赤色データを第1メモリ(MR1)に、第5制御用スイッチ(SW5)は“G1乃至G400”の緑色データを第3メモリ(MR3)に、第6制御用スイッチ(SW6)は“B1乃至B400”の青色データを第5メモリ(MR5)に、第7制御用スイッチ(SW7)は“R401乃至R800”の赤色データを第7メモリ(MR7)に、第8制御用スイッチ(SW8)は“G401乃至G800”の緑色データを第9メモリ(MR9)に、第9制御用スイッチ(SW9)は“B401乃至B800”の青色データを第11メモリ(MR11)にそれぞれ供給する。これとは異なって、偶数番目の水平同期期間において、第4制御用スイッチ(SW4)は“R1乃至R400”の赤色データを第2

メモリ(MR2)に、第5制御用スイッチ(SW5)は“G1乃至G400”の緑色データを第4メモリ(MR4)に、第6制御用スイッチ(SW6)は“B1乃至B400”の青色データを第6メモリ(MR6)に、第7制御用スイッチ(SW7)は“R401乃至R800”の赤色データを第8メモリ(MR8)に、第8制御用スイッチ(SW8)は“G401乃至G800”の緑色データを第10メモリ(MR10)に、第9制御用スイッチ(SW9)は“B401乃至B800”の青色データを第12メモリ(MR12)にそれぞれ供給する。

【0037】一方、第1乃至第12メモリ(MR1乃至MR12)は、それぞれ貯蔵された色データを、入力順序とは異なって判読して出力する。そして第1、第3及び第5メモリ(MR1、MR3、MR5)は、第7、第9及び第11メモリ(MR7、MR9、MR11)と同時に、そして第2、第4及び第6メモリ(MR2、MR4、MR6)は第8、第10及び第12メモリ(MR8、MR10、MR12)と同時に判読動作を遂行する。第1及び第2メモリ(MR1、MR2)は、データの判読時に400個の赤色データ(R1乃至R400)を“R1、R5、R9…R397”、“R4、R8、R12…R400”、“R3、R7、R11…R399”及び“R2、R6、R10…R398”の順に出力する。第1及び第2メモリ(MR1、MR2)と同様に、第7及び第8メモリ(MR7、MR8)は、400個の赤色データ(R401乃至R800)を“R401、R405、R409…R797”、“R404、R408、R412…R800”、“R403、R407、R411…R799”及び“R402、R406、R410…R798”の順に出力する。第3及び第4メモリ(MR3、MR4)はデータの判読時に、400個の緑色データ(G1乃至G400)を“G2、G6、G10…G398”、“G1、G5、G9…G397”、“G4、G8、G12…G400”及び“G3、G7、G11…G399”の順に出力する。それと同様に、第9及び第10メモリ(MR9、MR10)も、400個の緑色データ(G401乃至G800)を“G402、G406、G410…G798”、“G401、G405、G409…G797”、“G404、G408、G412…G800”及び“G403、G407、G411…G799”の順に出力する。第5及び第6メモリ(MR5、MR6)はデータ判読時に、400個の青色データ(B1乃至B400)を“B3、B7、B11…B399”、“B2、B6、B10…B398”、“B1、B5、B9…B397”及び“B4、B8、B12…B400”の順に出力する。第5及び第6メモリ(MR5、MR6)と同様に、第11及び第12メモリも、400個の青色データ(B401乃至B800)を“B403、B407、B411…B799”、“B402、B406、B410…B798”、“B401 B40

5、B409…B797”及び“B404、B408、B412…G800”の順に出力する。

【0038】そして、データ再整列部(26)は、奇数番目のメモリ(MR1、MR3、MR5、MR7、MR9、MR11)等からの色データと、偶数番目のメモリ(MR2、MR4、MR6、MR8、MR10、MR12)からの色データとを選択的に出力する。第10乃至第15制御用スイッチ(SW10乃至SW15)を追加で備える。これ等の第10乃至第15制御用スイッチ(SW10乃至SW15)はインバーター(INV1)を経由しつつ反転された水平同期パルス(HP)の論理状態によって、奇数番目または偶数番目のメモリからの色データを選択するようになる。すなわち、第10乃至第15制御用スイッチ(SW10乃至SW15)は、奇数番目の水平同期期間には偶数番目のメモリからの色データを選択する反面、偶数番目の水平同期期間には奇数番目のメモリからの色データを選択するようになる。

【0039】また、データ再整列部(26)は、第2乃至第4切換制御信号(ENb、ENc、ENd)によりそれぞれ駆動される第16乃至第18制御用スイッチ(SW16乃至SW18)を備える。併せて、データ再整列部(26)は、第2乃至第4切換制御信号(ENb、ENc、ENd)に駆動される第19乃至第21制御用スイッチ(SW19乃至SW21)も備える。第2乃至第4切換制御信号(ENb、ENc、ENd)は、それぞれ2ビット論理信号から構成され、併せてその論理値は図2に図示された第1乃至第4選択信号等(SEL1乃至SEL4)が順次的にイネーブルされることにより、1水平同期期間の間等間隔で4回にかけて変化される。それによって、第16乃至第21制御用スイッチ等(SW16乃至SW21)は、1水平同期期間の間4回にかけて切換されるようになる。これを詳細に説明すると、第16制御用スイッチ(SW16)は、第2切換制御信号(ENb)の論理値に従って、第10制御用スイッチ(SW10)、第11制御用スイッチ(SW11)、第12制御用スイッチ(SW12)及び第10制御用スイッチ(SW10)を順次的に選択し、“R1、R5、R9…R397”、“G1、G5、G9…G397”、“B1、B5、B9…B397”及び“R2、R6、R10…R398”の再整列されたビデオデータが、第1補助バス(SB1)に出力されるようにする。そして第17制御用スイッチ(SW17)は、第3切換制御信号(ENc)の論理値に従って、第11制御用スイッチ(SW11)、第12制御用スイッチ(SW12)、第10制御用スイッチ(SW10)及び第11制御用スイッチ(SW11)とを順次的に選択し、“G2、G6、G10…G398”、“B2、B6、B10…B398”、“R3、R7、R11…R399”及び“G3、G7、G11…G399”の再整列されたビデオデータが第2補助バス(SB2)に出力されるように

する。また、第18制御用スイッチ(SW18)は、第4切換制御信号(ENd)の論理値に従って、第12制御用スイッチ(SW12)、第10制御用スイッチ(SW10)、第11制御用スイッチ(SW11)及び第12制御用スイッチ(SW12)とを順次的に選択し、“B3、B7、B11…B399”、“R4、R8、R12…R400”、“G4、G8、G12…G400”及び“B4、B8、B12…B400”の再整列されたビデオデータが第3補助バス(SB3)に出力されるようにする。次に、第16乃至第18制御用スイッチ(SW16乃至SW18)と同一に動作する第19乃至第21制御用スイッチ(SW19乃至SW21)により第4乃至第6補助バス(SB4乃至SB6)に出力される、再整列されたビデオデータは下記のとおりである。第4補助バス(SB4)には“R401、R405、R409…R797”、“G401、G405、G409…G797”、“B401、B405、B409…B797”及び“R402、R406、R410…R798”の再整列されたビデオデータが、第5補助バス(SB5)には“G402、G406、G410…G798”、“B402、B406、B410…B798”、“R403、R407、R411…R799”及び“G403、G407、G411…G799”の再整列されたビデオデータが、そして第6補助バス(SB6)には“B403、B407、B411…B799”、“R404、R408、R412…R800”、“G404、G408、G412…G800”及び“B404、B408、B412…B800”の再整列されたビデオデータがそれぞれ供給される。

【0040】

【発明の効果】 上述の如く、本発明による液晶表示装置

は、1ライン分のビデオデータを再整列し、液晶パネル上の1ライン分のTFTの中の隣接したTFTが順次的に駆動されるようにすると共に、同時に駆動されるTFTを分散させることができる。それにより、本発明の液晶表示装置では、D-ICと画素マトリクス間の配線構造が簡素化される。また、本発明ではD-ICが同時にビデオデータをサンプリングすることにより、D-ICは周波数が低いサンプリングクロックの周波数を使用することができる。

【0041】 以上において説明した内容を通して、当業者であれば本発明の技術的な思想から逸脱しない範囲内で、多様な変更及び修正が可能であることが分かる。従って、本発明の技術的範囲は、実施の形態に記載された内容に限定されるものでなく、特許請求の範囲により定めなければならない。

【図面の簡単な説明】

【図1】 従来の液晶表示装置を概略的に図示する図面、

【図2】 本発明の実施の形態による液晶表示装置のブロック図、

【図3及び図4】 図2に図示された回路の各部分に対する動作波形図、

【図5】 図2に図示されたデータ再整列部の一実施の形態を詳細に図示する図面、

【図6】 図2に図示されたデータ再整列部の他の実施の形態を詳細に図示する図面である。

【符号の説明】

10：液晶パネル

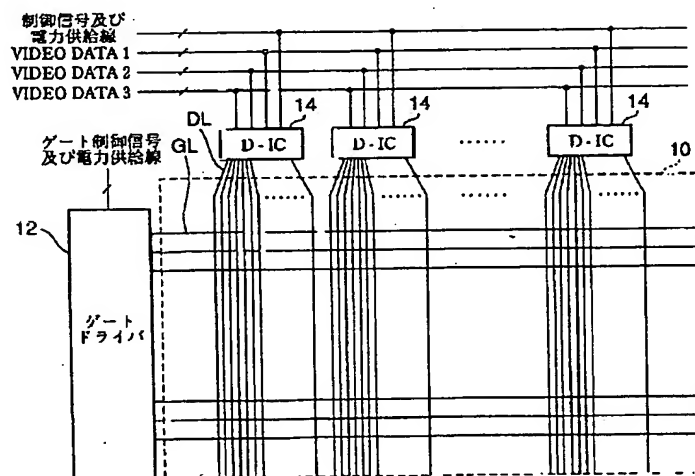
12、22：ゲートドライバ

14、24：D-IC

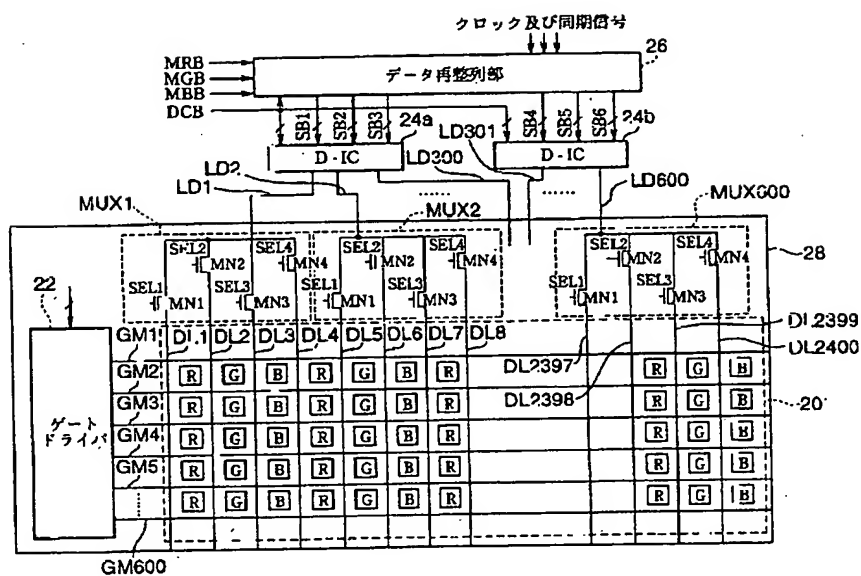
26：データ再整列部

MUX1乃至MUX600：マルチプレクサ

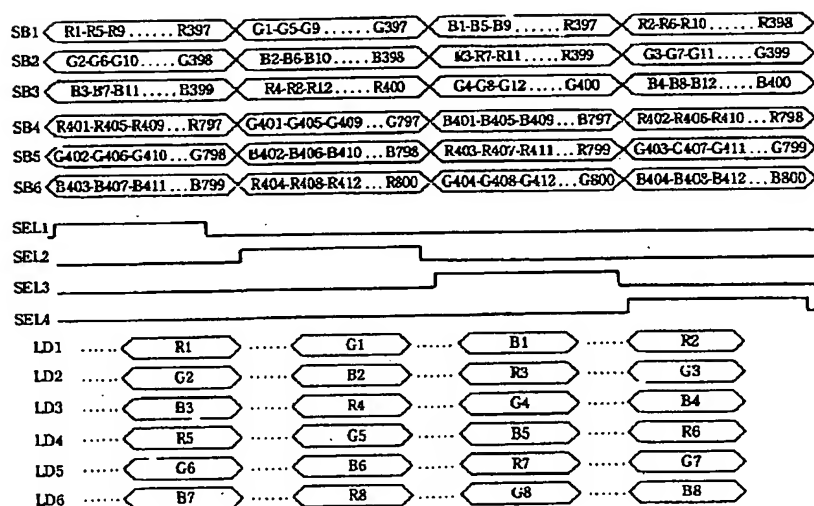
【図1】



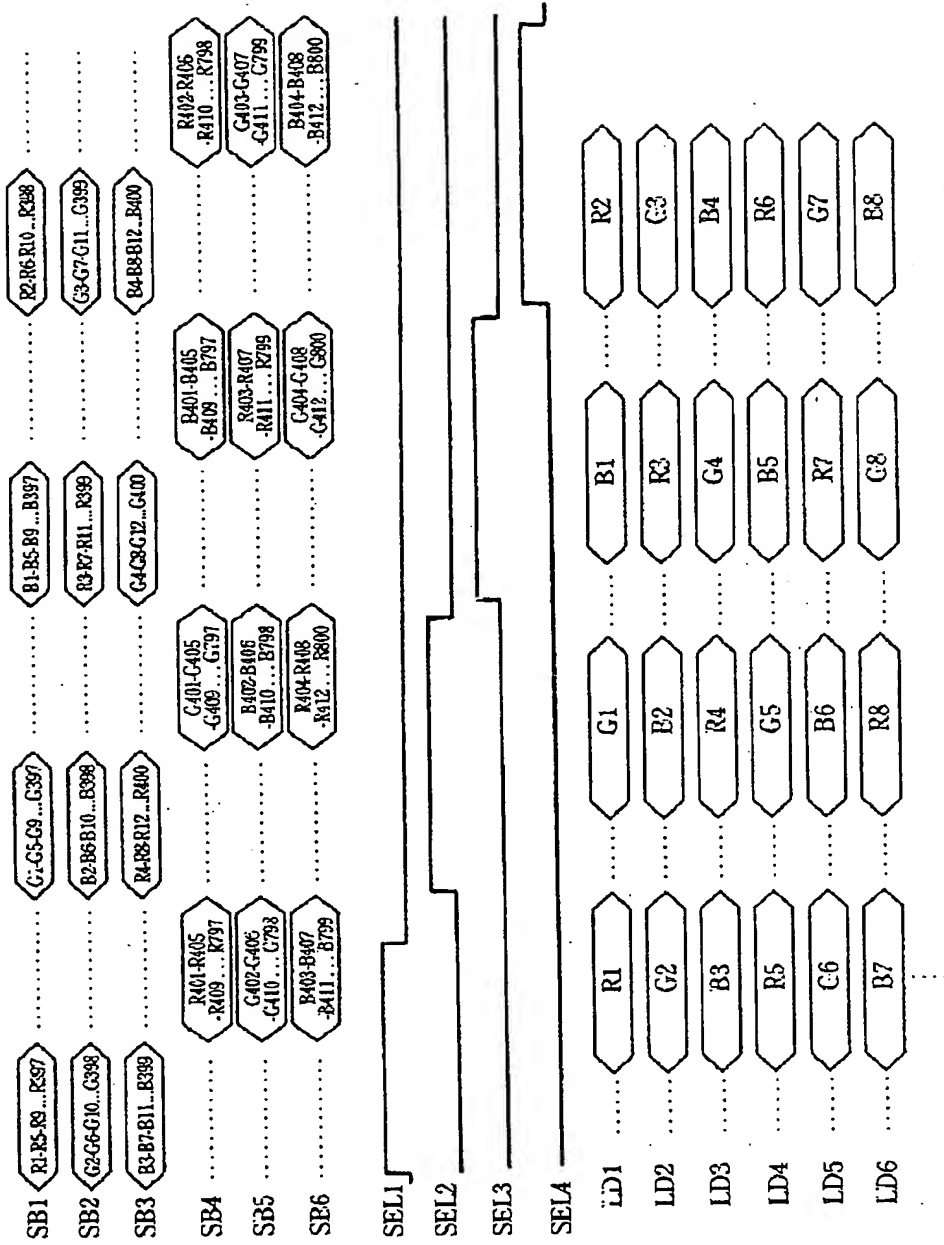
【図2】



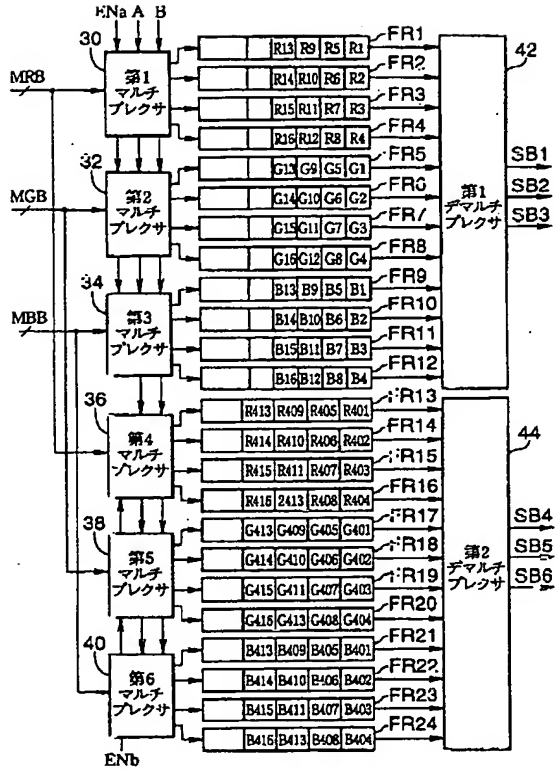
【図4】



【図3】



【図5】



【図6】

